



PCT/FR 2005/050123

28 FEV. 2005	
REC'D 15 / 03 2005	
MIPO	PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 07 FEV. 2005

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

DOCUMENT DE
PRIORITÉ
PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA RÈGLE
17.1. a) OU b)

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr





BREVET D'INVENTION

CERTIFICAT D'UTILITE

26bis, rue de Saint-Petersbourg
75800 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Jean LEHU BREVATOME 3, rue du Docteur Lancereaux 75008 PARIS France
Vos références pour ce dossier: B 14726ALP -DD 2725	

1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
		DISPOSITIF MICROELECTRONIQUE D'INTERCONNEXION A TIGES CONDUCTRICES LOCALISEES.	
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date N°
4-1 DEMANDEUR			
Nom	COMMISSARIAT A L'ENERGIE ATOMIQUE		
Rue	31-33, rue de la Fédération		
Code postal et ville	75752 PARIS 15ème		
Pays	France		
Nationalité	France		
Forme juridique	Etablissement Public de Caractère Scientifique, technique et Ind		
5A MANDATAIRE			
Nom	LEHU		
Prénom	Jean		
Qualité	Liste spéciale: 422-5 S/002, Pouvoir général: 7068		
Cabinet ou Société	BREVATOME		
Rue	3, rue du Docteur Lancereaux		
Code postal et ville	75008 PARIS		
N° de téléphone	01 53 83 94 00		
N° de télécopie	01 45 63 83 33		
Courrier électronique	brevets.patents@brevalex.com		
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages Détails
Texte du brevet		textebrevet.pdf	28 D 22, R 5, AB 1
Dessins		dessins.pdf	7 page 7, figures 19, Abrégé: page 7, Fig.6
Pouvoir général			

7 MODE DE PAIEMENT				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		024		
8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES				
	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
068 Revendication à partir de la 11ème	EURO	15.00	14.00	210.00
Total à acquitter	EURO			530.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

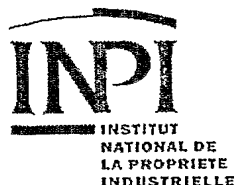
Signé par

Signataire: FR, Brevatome, J.Lehu

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



BREVET D'INVENTION CERTIFICAT D'UTILITE

Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

DATE DE RECEPTION	25 février 2004	
TYPE DE DEPOT	INPI (PARIS) - Dépôt électronique	Dépôt en ligne: X Dépôt sur support CD:
N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI	0450349	
Vos références pour ce dossier	B 14726ALP -DD 2725	

DEMANDEUR

Nom ou dénomination sociale	COMMISSARIAT A L'ENERGIE ATOMIQUE
Nombre de demandeur(s)	1
Pays	FR

TITRE DE L'INVENTION

DISPOSITIF MICROELECTRONIQUE D'INTERCONNEXION A TIGES CONDUCTRICES LOCALISEES.

DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

EFFECTUE PAR

Effectué par:	J.Lehu
Date et heure de réception électronique:	25 février 2004 15:34:16
Empreinte officielle du dépôt	7C:F8:4A:69:FF:EF:6D:D0:83:CF:38:3E:EF:1D:E1:37:14:1B:7E:92

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL
INSTITUT
NATIONAL DE
LA PROPRIETE
INDUSTRIELLE
28 bis, rue de Saint Petersburg
75000 PARIS cedex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30

DISPOSITIF MICROELECTRONIQUE D'INTERCONNEXION A TIGES CONDUCTRICES LOCALISEES

DESCRIPTION

DOMAINE TECHNIQUE

La présente invention se rapporte à
5 l'assemblage de composants électroniques (puces, circuits intégrés, composants électromécaniques, composants optoélectroniques). Il existe plusieurs familles de techniques pour connecter des puces ou des circuits intégrés à des substrats d'interconnexion: le
10 "wire-bonding" ou micro-câblage, la technique de connexion par billes dite technique "flip-chip" et la technique ACF concernant les films conducteurs anisotropes. La présente invention se rapproche de la technique ACF et concerne un dispositif
15 microélectronique comprenant un composant électronique doté de tiges conductrices localisées sur certaines zones de ce dernier et aptes à assurer une connexion électrique avec un autre composant électronique avec lequel ledit composant est amené à être assemblé. La
20 présente invention concerne également un procédé de réalisation dudit dispositif microélectronique.

ÉTAT DE LA TECHNIQUE ANTÉRIEURE

Il est connu d'assurer la connexion
électrique entre des plots conducteurs d'un composant
25 électronique, par exemple une puce et d'autres plots conducteurs d'un autre composant électronique, par exemple un substrat d'interconnexion, en utilisant un

film conducteur anisotrope ou film ACF (ACF pour « Anisotropic Conductive Film » selon la terminologie anglo-saxonne), que l'on place entre le composant électronique et l'autre composant électronique.

5 Un film conducteur anisotrope est généralement formé de particules conductrices incorporées dans une couche isolante ou de tiges métalliques traversant un film isolant. Ce type de film permet de réaliser un contact électrique généralement
10 dans une direction orthogonale à son plan principal, tout en assurant un isolement électrique dans des directions parallèles audit plan principal.

La figure 1 illustre l'assemblage entre une puce 10 et un substrat d'interconnexion 20. Le substrat
15 noté 20 est doté de plots de connexion 21 à base de métal et recouvert de colle 30 en vue d'être assemblé avec la puce 10. La puce 10 est quand à elle recouverte sur une face d'une couche de passivation 11 présentant des ouvertures qui laissent apparaître des plots
20 conducteurs 12. La connexion électrique entre la puce 10 et le substrat 20 sera réalisée au moyen d'un film conducteur anisotrope 15 suivant l'art antérieur, formé directement sur la puce 10, et reposant sur la couche de passivation 11. Ce film conducteur anisotrope 15 est
25 formé d'une pluralité de tiges conductrices 16 traversants une couche isolante 17. Les tiges conductrices 16 permettront après assemblage, de relier électriquement chaque plot conducteur de la puce 10 à un ou plusieurs plots de connexion du substrat 20.

30 Le film conducteur anisotrope 15 est adapté à des connexions de plots en forte densité et permet

d'éviter la réalisation de soudures entre plots de connexion du substrat et plots conducteurs de la puce. Avec ce type de film, il n'est pas nécessaire de localiser les plots de la puce et ceux du substrat que l'on souhaite interconnecter.

En raison notamment de la rigidité des tiges conductrices, un film conducteur anisotrope peut s'avérer cependant difficilement adaptable à l'assemblage de composants présentant des variations importantes de hauteur de contact. Ainsi, employer un film conducteur anisotrope pour interconnecter des composants électroniques comportant des défauts de planéité importants, peut entraîner des difficultés lors de l'assemblage desdits composants.

Un film conducteur anisotrope peut s'avérer également inadapté pour interconnecter des composants électroniques comportant une ou plusieurs zones sensibles ou fragiles, que l'on souhaite préserver d'éventuels chocs voire de tout contact. Un film conducteur anisotrope tel que décrit plus haut présente des tiges conductrices incorporées régulièrement dans toute l'étendue d'une couche isolante. Ainsi, dans le cas où un film conducteur anisotrope est formé sur un composant présentant une ou plusieurs zones sensibles, des tiges conductrices du film conducteur anisotrope peuvent entrer en contact avec une ou plusieurs des zones sensibles du composant et provoquer leur détérioration. Dans un autre cas où un film conducteur anisotrope est formé sur un composant et assemblé avec un autre composant présentant une ou plusieurs autres zones sensibles, des tiges conductrices du film

conducteur anisotrope peuvent entrer en contact avec une ou plusieurs desdites autres zones sensibles du composant et provoquer leur détérioration.

Il se pose le problème de pouvoir
5 interconnecter des composants électroniques présentant des défauts de planéité importants ou/et des composants électroniques comportant certaines zones sensibles ou fragiles à préserver.

EXPOSÉ DE L'INVENTION

10 La présente invention ne présente pas les inconvénients des films conducteurs anisotropes traditionnels. Elle a pour but de proposer un dispositif microélectronique, qui contrairement aux
15 films ACF selon l'art antérieur, s'adapte bien à l'interconnexion de composants électroniques présentant une topographie accidentée. La présente invention permet également de pouvoir interconnecter un composant électronique avec un autre composant électronique tout en préservant d'éventuelles zones sensibles situées sur
20 ledit composant ou/et sur ledit autre composant électronique.

La présente invention concerne un procédé de fabrication de tiges conductrices sur un composant électronique doté d'un ou plusieurs plots conducteurs,
25 chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique comportant les étapes de :

a) dépôt d'une couche de masquage sur ledit composant,

b) formation dans ladite couche de masquage d'une pluralité de trous, chaque trou étant au moins partiellement situé en regard d'un plot conducteur,

c) remplissage de trous à base d'un
5 matériau conducteur afin de former les tiges conductrices,

d) retrait de la couche de masquage.

La couche de masquage peut être formée d'au moins une couche de résine ou de polymère
10 photosensible. L'étape b) peut être réalisée au moyen d'au moins un procédé de photolithographie durant lequel la couche de masquage est exposée à un rayonnement, par exemple ultraviolet, à travers un masque comportant un ou plusieurs motifs opaques audit
15 rayonnement. Durant l'étape d'exposition, les motifs du masque peuvent être alors placés en fonction de l'emplacement des plots conducteurs sur le composant.

Selon une première variante du procédé, l'étape c) de remplissage peut être réalisée par dépôt
20 chimique, par exemple à base d'un métal tel que le nickel.

Selon une seconde variante du procédé, ce dernier peut comprendre en outre :

- le dépôt d'un fond conducteur
25 préalablement à l'étape a). Ainsi, l'étape c) de remplissage peut être réalisée par électrolyse en se servant du fond conducteur comme électrode.

Selon une troisième variante, le procédé peut comporter en outre :

30 - le dépôt d'un fond conducteur préalablement à l'étape a),

- la gravure du fond conducteur à travers les trous après l'étape b). Alors l'étape c) de remplissage peut être réalisée par électrolyse en se servant du fond conducteur gravé comme électrode.

5 Le fond conducteur peut être formé d'une couche conductrice ou d'un empilement d'au moins deux couches conductrices différentes, une des deux couches, par exemple une couche à base de Ti pouvant servir par exemple de couche d'adaptation d'adhérence.

10 Après l'étape d) de retrait de la couche de masquage, une étape de retrait au moins partiel du fond conducteur peut être prévue.

Selon un mode de réalisation particulier, le procédé peut comprendre en outre après l'étape c)
15 une étape supplémentaire de dépôt chimique à base de métal noble sur les tiges conductrices. Cette étape peut permettre de former des tiges conductrices présentant une conductance améliorée.

La présente invention concerne également un
20 procédé de fabrication de tiges conductrices sur un composant électronique doté d'un ou plusieurs plots conducteurs, chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique comportant les étapes de:

25 a) dépôt d'une couche de masquage sur ledit composant,

b) formation dans ladite couche de masquage d'une pluralité de trous, au moins un plot conducteur parmi lesdits plots conducteurs étant situé en regard
30 d'un ou plusieurs trous, au moins un trou parmi lesdits trous n'ayant aucun desdits plots conducteur en regard,

c) remplissage de trous à base d'un matériau conducteur afin de former les tiges conductrices,

d) retrait de la couche de masquage.

5 L'étape b) du procédé peut être réalisée par un procédé de photolithographie durant lequel la couche de masquage, par exemple à base de résine photosensible) est exposée à un rayonnement, par exemple ultraviolet à travers un masque comportant un
10 ou plusieurs motifs dont certains sont opaques audit rayonnement.

De manière avantageuse, durant l'étape d'exposition de la couche de masquage, les motifs du masque peuvent être éventuellement placés par rapport
15 audit composant, sans tenir compte de l'emplacement des plots conducteurs sur ledit composant. Ainsi, un alignement des motifs du masque avec les plots conducteurs du composant, réalisé de manière directe ou indirecte par l'intermédiaire de marques ou de dessins
20 sur le composant électronique n'est pas obligatoire.

Le masque utilisé à l'étape b) peut être alors éventuellement choisi indépendamment dudit composant électronique et peut servir pour plusieurs composants électroniques de topographies différentes ou
25 de type différents ou dont la répartition de s plots conducteurs est différente.

Selon une variante, l'étape b) peut être réalisée par dépôt chimique.

Selon une autre variante du procédé, ce
30 dernier peut comporter en outre :

- le dépôt d'un fond conducteur
préalablement à l'étape a),

- la gravure du fond conducteur à travers
les trous) après l'étape b), l'étape c) de remplissage
5 étant réalisée par électrolyse.

Ledit fond conducteur peut être formé d'une
couche conductrice par exemple à base de cuivre ou d'un
empilement d'au moins deux couches conductrices
différentes.

10 L'étape de gravure du fond conducteur peut
éventuellement être prolongée de manière à ce que les
trous comportent une première partie au niveau de la
couche de masquage et une seconde partie au niveau du
fond conducteur, ladite seconde partie étant alors plus
15 large que ladite première partie. Ainsi, une surgravure
du fond conducteur à travers les trous peut permettre
de rendre difficile voire d'empêcher la croissance de
tiges conductrices dans certains trous qui ne sont pas
situés en regard de plots conducteurs.

20 Le procédé peut éventuellement comporter en
outre après l'étape d), une étape de retrait dudit fond
conducteur gravé.

Selon une autre variante, le procédé peut
comporter en outre préalablement à l'étape a):

25 - le dépôt d'un fond conducteur,
- le dépôt d'une fine couche isolante par
exemple à base de résine photosensible ou de polymère
photosensible sur le fond conducteur,
- la formation d'une pluralité d'ouvertures
30 dans ladite fine couche isolante chaque ouverture étant
situé en regard d'un plot conducteur.

Alors selon cette variante de procédé, parmi la pluralité de trous formés à l'étape b), certains trous peuvent dévoiler la fine couche isolante (103), certains autres trous peuvent dévoiler le fond
5 conducteur.

Cette variante de procédé peut comporter en outre après l'étape d), une étape de gravure sélective ou de retrait sélectif du fond conducteur.

Le composant électronique à partir duquel
10 est réalisé le procédé suivant l'invention peut être un par exemple une puce ou un circuit intégré ou un MEMS (système électromécanique) et peut être éventuellement recouvert d'une couche de passivation ou d'une couche diélectrique dans laquelle sont incorporés lesdits
15 plots conducteurs sur lesquels sont formés les tiges conductrices.

L'invention concerne en outre un dispositif microélectronique susceptible d'être obtenu à partir du procédé suivant l'invention.

20 L'invention concerne également un dispositif microélectronique comprenant :

- un composant électronique recouvert d'un ou plusieurs plots conducteurs et doté d'une ou plusieurs tiges conductrices ou saillies conductrices
25 de formes cylindriques ou protubérances conductrices de formes cylindriques chacune rattachée audit composant électronique par une extrémité en contact au moins partiel avec un desdits plot conducteurs, l'autre extrémité étant apte à entrer en contact avec une zone
30 de contact ou un plot de connexion d'un autre composant

électronique placé en vis-à-vis d'un des dits plot conducteur.

Les tiges conductrices peuvent être rectilignes.

5 Elles peuvent avoir un diamètre compris par exemple entre 1 μm et 15 μm . Ces dernières peuvent avoir une longueur comprise par exemple entre 4 μm et 30 μm .

10 Le nombre de tiges par plot conducteur du composant peut être par exemple compris entre 5 et 1000.

Selon un mode de réalisation avantageux de la présente invention, le composant électronique peut comporter au moins un plot conducteur en contact au
15 moins partiel avec pas moins de 2 tiges.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement
20 limitatif, en faisant référence aux dessins annexés sur lesquels :

La figure 1 déjà décrite représente l'interconnexion d'une puce et d'un substrat selon l'art connu à l'aide d'un film conducteur anisotrope ;

25 Les figures 2A-2F représentent différentes étapes d'un procédé de fabrication selon l'invention ;

Les figures 3A-3C représentent une variante de procédé de fabrication selon l'invention ;

Les figures 4A-4C, 5A-5E représentent des variantes avantageuses de procédé de fabrication selon l'invention ;

La figure 6 représente l'assemblage d'un
5 dispositif microélectronique suivant l'invention avec un substrat d'interconnexion ;

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage
10 d'une figure à l'autre. Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

15 Le dispositif microélectronique mis en œuvre suivant l'invention est formé à partir d'un support qui peut être un circuit intégré, une puce, un substrat d'interconnexion, ou tout type de composant électronique que l'on souhaite interconnecter avec un
20 autre composant électronique.

Dans le terme composant électronique, on souhaite également inclure les composants électromécaniques tels que par exemple les MEMS (microsystèmes électromécaniques) ou les composants
25 optoélectroniques.

Un premier exemple de procédé de fabrication d'un dispositif microélectronique mis en œuvre suivant la présente invention est illustré sur les figures 2A à 2F.

La première étape de ce procédé (figure 2A) consiste à déposer une couche conductrice ou un fond conducteur 105 sur un support, par exemple une puce 100 dotée en surface d'un ou plusieurs plots conducteurs 102. Les plots conducteurs 102 peuvent être formés à base d'un métal conducteur comme par exemple le nickel, l'aluminium, le tungstène, le cuivre. La couche conductrice 105 peut être quand à elle réalisée par un dépôt d'une couche à base de matériau métallique comme par exemple le titane, le cuivre, le nickel, le tungstène, etc. Cette dernière est destinée notamment à servir de couche d'apport de courant électrique au moment de la croissance électrolytique de tiges conductrices formées ultérieurement.

Une couche de résine photosensible 106 (par exemple une couche de polyimide d'une dizaine de micromètres d'épaisseur) est ensuite déposée sur la couche conductrice 105. On insole la couche de résine photosensible 106 à travers un masque 150 comprenant des ouvertures 151 et des parties opaques 152, les ouvertures 151 et les parties opaques 152 formant un dessin (figure 2B). Lors de l'étape d'insolation, les ouvertures 151 et les parties opaques 152 du masque 150 sont disposées en fonction de l'emplacement des plots conducteurs 102.

On développe ensuite la couche de résine 106 par exemple à l'aide d'une base forte de manière à réaliser des trous 107 transversaux dans cette couche de résine 106, les trous 107 mettant à jour le fond conducteur 105 (figure 2C). Les trous 107 sont regroupés en zones disposées en regard des plots

conducteurs 102 du substrat 100. Chaque trou est situé au moins partiellement en regard d'un plot conducteur.

Ensuite, par exemple par croissance électrolytique de métal tel que le cuivre, le nickel, le titane, le tungstène, un alliage SnPb, l'or, etc. en se servant de la couche conductrice 105 comme électrode, on remplit les trous 107 de la couche 106 ajourée de manière à former des tiges conductrices 110 depuis le fond des trous 107 situé au niveau de la couche conductrice 105 jusqu'à la surface de la couche 106 ajourée (figure 2D).

On retire ensuite la couche 106 ajourée (figure 2E) par exemple par dissolution de la couche de résine photosensible. Puis, on grave la couche conductrice 105 de façon sélective à l'exception de sous les tiges conductrices 110 (figure 2F)

Les tiges conductrices 110 ainsi formées sur la puce 100 sont donc regroupées en zones et sont localisées sur les plots conducteurs 102, de manière à ce que chaque tige conductrice soit en contact au moins partiel avec un plot conducteur.

Selon une variante de l'exemple de réalisation précédemment décrit, après l'étape de dépôt de la couche conductrice 105 illustrée sur la figure 2A, on peut effectuer le dépôt d'une fine couche 103 isolante, par exemple à base de résine ou de polymère photosensible et de l'ordre de 1 à 3 micromètre d'épaisseur. On expose alors la fine couche de résine photosensible 103 à un rayonnement par exemple ultraviolet à travers un premier masque (non représenté) permettant d'insoler uniquement les parties

de la fine couche de résine 103 situées en regard des plots 102, dans le cas où la résine est à développement positif, ou d'insoler toute la couche 103 sauf les parties situées en regard des plots 102, dans le cas où la résine est à développement négatif.

On développe ensuite la fine couche de résine 103 de manière à réaliser des lumières ou des ouvertures 104 situées en regard des plots conducteurs 102 et dévoilant la couche conductrice 105 (figure 3A).

Une autre couche de résine photosensible 106 (par exemple une couche de polyimide d'une dizaine de micromètres d'épaisseur) est ensuite déposée sur la fine couche 103 ajourée (figure 3B). On insole la couche de résine photosensible 106 à travers un second masque (non représenté) comprenant des ouvertures et des parties opaques disposées en fonction de l'emplacement des plots conducteurs 102.

On développe ensuite la couche de résine 106 de manière à réaliser une couche ajourée dotée de trous 107 regroupés en zones disposées au dessus des plots conducteurs. Certains trous 107b sont situés en regard des plots et mettent à jour la couche conductrice 105. Certains autres trous 107a, dont le fond dévoile la fine couche 103 de résine ne sont situés en regard d'aucun des plots. 102 (figure 3C).

On suit alors les étapes de l'exemple de procédé précédemment décrit illustrées sur les figures 2D à 2F. Les trous 107b sont remplis par électrolyse en se servant du fond conducteur 105 comme électrode pour former des tiges conductrices. Les trous 107a, dont le

fond dévoile la fine couche de résine 103 ne se remplissent pas.

Puis la fine couche de résine 103 et l'autre couche de résine 106 sont retirées. Enfin, la
5 couche conductrice 105 est gravée de manière sélective, de manière à ce que cette dernière ne soit conservée que sous les tiges conductrices 110.

Un autre exemple de procédé de fabrication d'un dispositif microélectronique suivant la présente
10 invention est illustré sur les figures 4A à 4C. Dans cet exemple, le support à partir duquel est formé le dispositif microélectronique suivant l'invention est un substrat d'interconnexion 200 doté en surface de plots conducteurs 202 formés à base d'un métal tel que par
15 exemple le cuivre, l'argent, le nickel, le tungstène. Le substrat 200 peut être éventuellement recouvert en surface d'une couche isolante dans laquelle les dits plots sont insérés.

La première étape de cet exemple de procédé
20 consiste à déposer une couche 206 à base de résine ou d'un polymère photosensible, par exemple une couche de polyimide de quelques micromètres d'épaisseur, par exemple de 10 micromètres d'épaisseur sur le substrat 200.

25 Ensuite, on effectue un procédé de photolithographie, afin de former une pluralité de trous dans la couche 206. Au cours de ce procédé de photolithographie, on expose tout d'abord la couche 206 à un rayonnement par exemple ultraviolet et au travers
30 d'un masque comportant une pluralité de motifs opaques audits rayonnement. Certains des motifs du masque et

éventuellement tous les motifs du masque peuvent être identiques. Les motifs sont de préférence régulièrement répartis sur le masque et peuvent être espacés entre eux d'un pas constant. L'exposition de la couche 206
5 peut être effectuée sans alignement entre des motifs du masque et un ou plusieurs dessins ou points de références situés sur le substrat 200. Ainsi, un alignement direct ou indirect des motifs du masque avec les plots conducteurs 202 du substrat 200, n'est par
10 exemple pas obligatoire.

La couche 206 est ensuite développée. Cette dernière comporte après développement un ensemble de trous 207 transversaux dont la répartition est de préférence uniforme et dépend de celle des motifs du
15 masque à travers lequel on a exposé la couche 206 (figure 4A).

Certains des trous 207 notés 207a dévoilent le substrat 200 tandis que d'autres trous notés 207b dévoilent les plots conducteurs 202. Les trous 207
20 peuvent avoir par exemple un diamètre de l'ordre de 1 à 10 micromètres, par exemple de $2\mu\text{m}$ et peuvent être espacés entre eux par exemple d'une distance de l'ordre de 3 à 30 micromètres par exemple de $4\mu\text{m}$.

Ensuite, les trous 207 sont comblés par un
25 dépôt chimique ou « electroless » à base d'un matériau conducteur, par exemple à base de nickel. Ce procédé de remplissage peut être effectué, par exemple, en plongeant le substrat 200 recouvert de la couche 206 ajourée dans un bain comportant un agent réducteur par
30 exemple des ions Ni^{2+} .

Au cours du remplissage, parmi l'ensemble des trous 207, ceux 207b dévoilant les plots conducteurs 202 se remplissent tandis que les trous 207a dévoilant le substrat 200 ne se remplissent pas ou
5 très peu. Les trous 207b remplis forment des tiges conductrices 210 situées sur les plots conducteurs 202. Ces tiges conductrices 210 ont un corps présentant un angle non nul, par exemple de 90° avec le plan principal du substrat 200 (figure 4B, le repère
10 $[o; \vec{i}; \vec{j}]$ appartenant à un plan parallèle audit plan principal).

Enfin, on retire la couche 206 au moyen d'un procédé classique de décapage, à l'aide d'un solvant approprié, par exemple de l'acétone.

15 Le dispositif microélectronique ainsi obtenu est formé d'un substrat 200 doté de plots conducteurs 202 chacun recouvert d'une pluralité de tiges conductrices 210 (figure 4C). Certaines des tiges conductrices peuvent éventuellement être en contact
20 seulement partiel avec les plots conducteurs.

Les tiges conductrices 210 peuvent avoir un diamètre par exemple de l'ordre de 1 à 10 micromètres, par exemple de $2\mu\text{m}$. Les tiges conductrices en regard d'un même plot peuvent être espacées entre elles par
25 exemple d'une distance de l'ordre de 3 à 30 micromètres par exemple de $4\mu\text{m}$. Suivant la taille des plots 202, le nombre de tiges conductrices par plot peut être par exemple de 2 à 200. Les tiges conductrices sont destinées à entrer en contact avec des plots de
30 connexion d'un autre dispositif microélectronique, par

exemple ceux d'une puce que l'on souhaite assembler au substrat 200.

Un autre exemple de procédé de fabrication d'un dispositif microélectronique mis en œuvre suivant la présente invention va à présent être décrit en
5 liaison avec les figures 5A-5E.

Dans cette variante, le dispositif microélectronique suivant l'invention est cette fois formé à partir d'une puce 300, dotée de plots conducteurs 302 à base de métal tel que par exemple du
10 cuivre, insérés dans une couche de passivation 304 à base d'un diélectrique tel que par exemple du SiO_2 .

Dans cet exemple de procédé, un fond conducteur 305 continu est tout d'abord déposé sur la
15 puce 300 et recouvre les plots conducteurs 302 ainsi que la couche de passivation 304. Le fond conducteur 305 continu peut être formé d'une couche conductrice ou d'un empilement de plusieurs couches conductrices. Un tel empilement peut être formé par exemple d'une
20 première couche conductrice, par exemple une couche à base de titane d'épaisseur de l'ordre de 300 Angstrom, recouverte d'une seconde couche conductrice, par exemple à base de cuivre et d'épaisseur de l'ordre de 2500 Angstrom.

25 On réalise ensuite le dépôt d'une couche 306 à base de résine ou d'un polymère photosensible, par exemple une couche de résine SJR 5740 (marque déposée) de la société Chipley d'une dizaine de micromètres d'épaisseur, sur le support 300.

30 On effectue ensuite un procédé de photolithographie afin de former une pluralité de trous

dans la couche 306. Au cours de ce procédé de photolithographie, on expose tout d'abord la couche 306 à un rayonnement par exemple ultraviolet et au travers d'un masque (non représenté) comportant des motifs opaques audit rayonnement. Lesdits motifs peuvent être identiques et régulièrement répartis sur le masque. Ces derniers sont de préférence espacés entre eux d'un pas constant.

L'exposition de la couche 306 peut être effectuée sans alignement des motifs du masque avec un ou plusieurs quelconques dessins, points de références, ou marques d'alignements situés sur la puce 300.

Ainsi, un alignement réalisé de manière directe ou indirecte des motifs du masque avec les plots conducteurs 302 de la puce 300, n'est par exemple pas nécessaire. Le masque utilisé lors de l'étape de photolithographie peut être éventuellement le même que celui de l'exemple de procédé précédemment décrit et illustré sur les figures 4A-4C.

La couche 306 est ensuite révélée. Cette dernière comporte alors un ensemble de trous 307 transversaux dévoilant le fond conducteur 300 et dont la répartition dans la couche 306 dépend de celle des motifs du masque. Cette répartition peut être uniforme. Les trous 307 peuvent avoir par exemple un diamètre de l'ordre de 3 micromètres et peuvent être espacés entre eux par exemple d'un pas de 6 micromètres (figure 5A).

On réalise ensuite une gravure du fond conducteur 305 à travers les trous 307, de manière à prolonger ces derniers. Après gravure du fond conducteur, certains trous notés 307a parmi l'ensemble

des trous 307 dévoilent la couche de passivation 304, certains autres notés 307b dévoilent les plots conducteurs 302.

Le fond conducteur 305 peut être éventuellement surgravé de manière à ce que les trous 307 comportent chacun une première partie notée 308 située au niveau de la couche 306 et une seconde partie notée 309 à fond élargi, dans le prolongement de la première partie 308 (figure 5B).

Puis, on effectue le remplissage des trous 307, par croissance électrolytique de métal tel que le cuivre, le nickel, le titane, le tungstène, un alliage SnPb, l'or, etc. en se servant du fond conducteur 301 comme électrode. Les trous 307b dévoilant les plots conducteurs 302 sont remplis de préférence depuis leur fond jusqu'à la surface de la couche 306 de manière à former des tiges conductrices 310. Dans le même temps, étant donné la nature de leur fond, les trous 307a qui dévoilent la couche de passivation, 304 se remplissent généralement peu et de manière moins rapide que les trous 307b.

Des tiges conductrices dites « parasites » de taille généralement très inférieures à celle des tiges 310 ou des dépôts 312 « parasites » peuvent éventuellement se former dans les trous 307a (figure 5C). L'adhérence de ces tiges ou de ces dépôts « parasites » 312 sera généralement faible.

Selon une variante de réalisation, le procédé peut comprendre en outre après le remplissage des trous 307, une étape de dépôt chimique à base de métal noble sur les tiges conductrices 310. Cette étape

de placage anélectrolytique/dépôt autocatalytique à base de métal noble sur les tiges conductrices 310 peut permettre d'améliorer la conductance globale de ces dernières.

5 Ensuite, on retire la couche 306 au moyen d'un procédé de décapage, par exemple à l'aide d'un solvant tel que l'acétone. Au moins certains des éventuels dépôts « parasites » peu adhérents vis-à-vis de la couche de passivation 304, disparaissent alors au
10 moins partiellement (figure 5D).

 Enfin, on effectue le retrait du fond conducteur 305 par un procédé de nettoyage approprié. Dans le cas où le fond conducteur 305 est formé d'un empilement d'une couche à base de titane et d'une
15 couche à base de cuivre, le procédé de nettoyage peut comprendre une étape de retrait de la couche à base de titane par exemple à l'aide d'un premier bain à base d'ammoniac et d'eau oxygénée, et d'une autre étape de retrait de la couche à base de cuivre par exemple à
20 l'aide d'un second bain à base d'acide fluorhydrique. Un procédé de type « lift-off », peut compléter ce procédé de nettoyage. D'éventuelles tiges « parasites » ou dépôts « parasites » disparaissent alors complètement (figure 5E).

25 Le dispositif microélectronique ainsi obtenu à partir du procédé précédemment décrit est formé d'une puce 300 dotée de plots conducteurs 302 insérés dans une couche de passivation 304. Sur chacun des plots conducteurs 302 sont localisés une pluralité
30 de tiges conductrices, présentant un angle non nul avec un plan principal de la puce.

La figure 6 illustre l'assemblage entre la puce 300 et un substrat d'interconnexion 500.

La puce 300 est dotée des tiges conductrices 310 formées à partir du procédé précédemment décrit et localisées sur ses plots conducteurs 302.

Les plots conducteurs de la puce 300 et des plots de connexion 501 du substrat d'interconnexion 500 sont disposés en vis-à-vis. Le substrat 500 est recouvert de colle 400 en vue d'être assemblé avec la puce 300.

Après assemblage, la connexion électrique entre le substrat 500 et la puce 300 sera assurée par une technique d'interconnexion mise en oeuvre suivant l'invention. Cette technique permet de réaliser l'assemblage de composants présentant des défauts de planéité importants lorsque lesdits composants sont munis des tiges conductrices localisées plutôt que recouverts d'un film conducteur anisotrope comme celui décrit dans l'art antérieur. Par ailleurs, l'emploi de tiges conductrices localisées uniquement sur des plots d'un composant, permet de préserver d'éventuelles zones sensibles situées sur ledit composant ou sur un autre composant avec lequel ce dernier est amené à d'être assemblé.

REVENDICATIONS

1. Procédé de fabrication de tiges conductrices (210,310) sur un composant électronique (200,300) doté d'un ou plusieurs plots conducteurs (202,302), chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique comportant les étapes de :

a) dépôt d'une couche de masquage (106,206,306) sur ledit composant,

b) formation dans ladite couche de masquage d'une pluralité de trous (207,307,107), au moins un plot conducteur parmi lesdits plots conducteurs étant situé en regard d'un ou plusieurs trous, au moins un trou parmi lesdits trous n'ayant aucun desdits plots conducteur en regard,

c) remplissage de trous à base d'un matériau conducteur afin de former les tiges conductrices (210,310),

d) retrait de la couche de masquage (206,306).

2. Procédé selon la revendication 1, l'étape c) étant réalisée par dépôt chimique.

3. Procédé selon la revendication 1, comportant en outre :

- le dépôt d'un fond conducteur (105,305) préalablement à l'étape a), l'étape c) de remplissage étant réalisée par électrolyse.

4. Procédé selon la revendication 3, le fond conducteur (105,305) étant formé d'un empilement d'au moins deux couches conductrices différentes.

5 5. Procédé selon la revendication 3 ou 4, comportant en outre : - la gravure du fond conducteur (305) à travers les trous (307) après l'étape b) et préalablement à l'étape c),

10 6. Procédé selon la revendication 5, comportant en outre après l'étape d), une étape de retrait du fond conducteur (305) gravé.

15 7. Procédé selon l'une des revendication 3 ou 4, comportant après l'étape de dépôt du fond conducteur et préalablement à l'étape a), les étapes de :

- dépôt d'une fine couche isolante (103) sur le fond conducteur (105),

20 - formation d'une pluralité d'ouvertures (104) dans ladite fine couche isolante chaque ouverture étant situé en regard d'un plot conducteur.

25 8. Procédé selon la revendication 7, caractérisé en ce que parmi la pluralité de trous (107) formés à l'étape b), certains trous (107a) dévoilent la fine couche isolante (103), certains autres trous (107b) dévoilent le fond conducteur.

9. Procédé selon la revendication 8, comportant en outre après l'étape d), une étape de gravure sélective du fond conducteur (105).

5 10. Procédé selon l'une des revendications 1 à 9, comprenant en outre après l'étape c) une étape supplémentaire dépôt chimique à base de métal noble sur les tiges conductrices (310).

10 11. Procédé de fabrication de tiges conductrices (110) sur un composant électronique (100) doté d'un ou plusieurs plots conducteurs (102), chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique
15 comportant les étapes de:

a) dépôt d'une couche de masquage sur ledit composant,

b) formation dans ladite couche de masquage d'une pluralité de trous (107), chaque trou étant au
20 moins partiellement situé en regard d'un plot conducteur,

c) remplissage de trous à base d'un matériau conducteur afin de former les tiges conductrices (110),

25 d) retrait de la couche de masquage.

12. Procédé selon la revendication 11, l'étape c) étant réalisée par dépôt chimique.

30 13. Procédé selon la revendication 11, comportant en outre :

- le dépôt d'un fond conducteur (105) préalablement à l'étape a), l'étape c) de remplissage étant réalisée par électrolyse en se servant du fond conducteur comme électrode.

5

14. Procédé selon la revendication 13, le fond conducteur (105) étant formé d'un empilement d'au moins deux couches conductrices différentes.

10

15. Procédé selon la revendication 13 ou 14 comprenant en outre : - la gravure du fond conducteur à travers les trous après l'étape b) et préalablement à l'étape c).

15

16. Procédé selon l'une des revendications 13 à 15, comportant en outre après l'étape d), une étape de retrait au moins partiel du fond conducteur (105).

20

17. Procédé selon l'une des revendications 11 à 16, comprenant en outre après l'étape c) une étape supplémentaire de dépôt chimique à base de métal noble sur les tiges conductrices (110).

25

18. Procédé selon l'une des revendications 1 à 17, ladite couche de masquage comprenant au moins une couche de polymère photosensible.

30

19. Procédé selon l'une des revendications 1 à 18, dans lequel lesdits plots conducteurs sont

insérés dans une couche de passivation (304) recouvrant ledit composant électronique.

20. Dispositif microélectronique
5 susceptible d'être obtenu par le procédé selon l'une des revendications 1 à 19.

21. Dispositif microélectronique
comprenant :
10 - un composant électronique (300) recouvert d'un ou plusieurs plots conducteurs (302) et doté d'une ou plusieurs tiges conductrices (310), les tiges étant chacune rattachée audit composant électronique par une extrémité en contact au moins partiel avec un desdits
15 plot conducteurs, l'autre extrémité étant apte à entrer en contact avec une zone de contact ou un plot de connexion d'un autre composant électronique placé en vis-à-vis d'un desdits plot conducteur.

20 22. Dispositif microélectronique selon la revendication 21, les tiges (310) ayant un diamètre inférieur à 15 μm .

23. Dispositif microélectronique selon
25 l'une des revendications 21 ou 22, les tiges (310) ayant une longueur inférieure à 30 μm .

24. Dispositif microélectronique selon
l'une des revendications 21 à 23, au moins un desdits
30 plots conducteurs (302) étant en contact au moins partiel avec au moins 2 tiges (310).

1 / 7

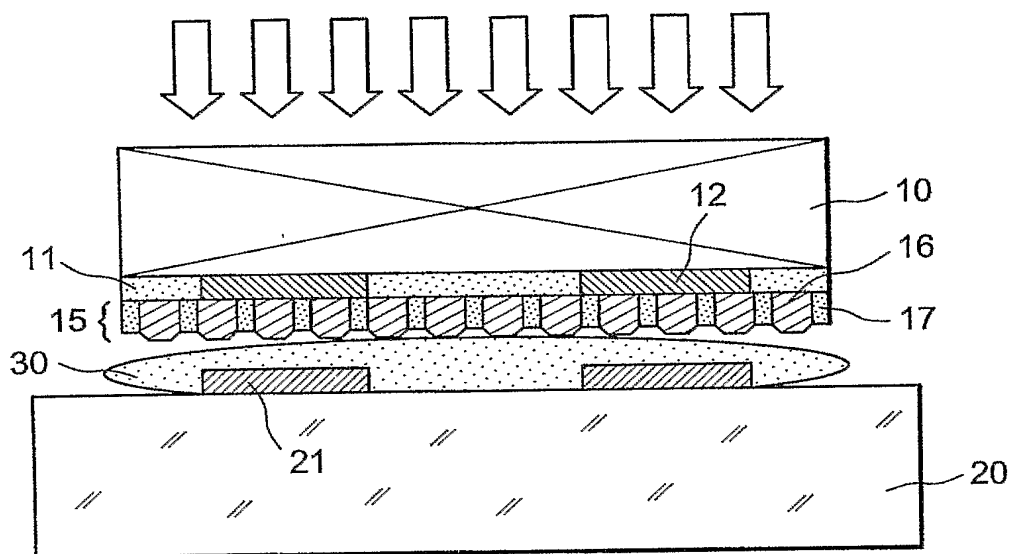


FIG.1

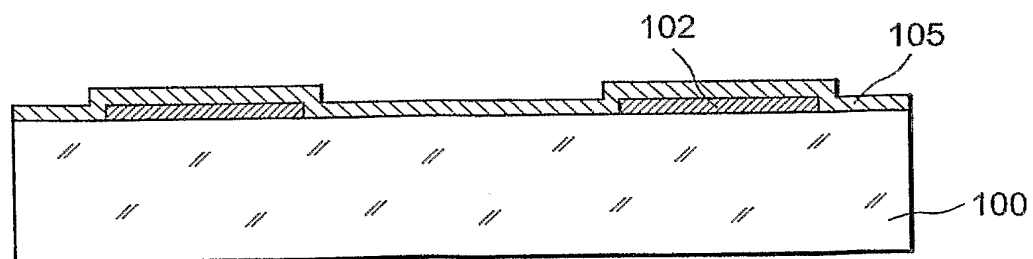


FIG.2A

2 / 7

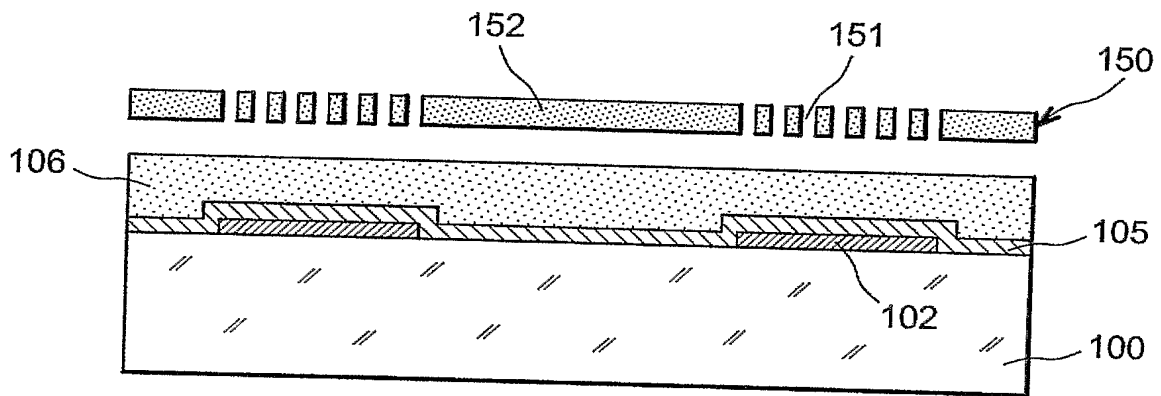


FIG.2B

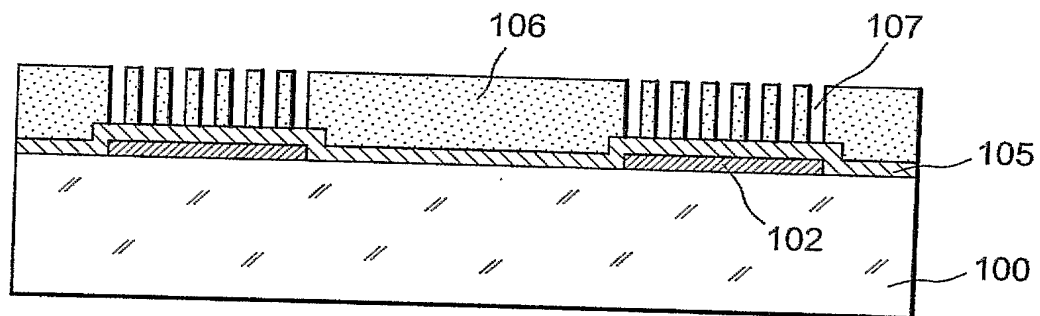


FIG.2C

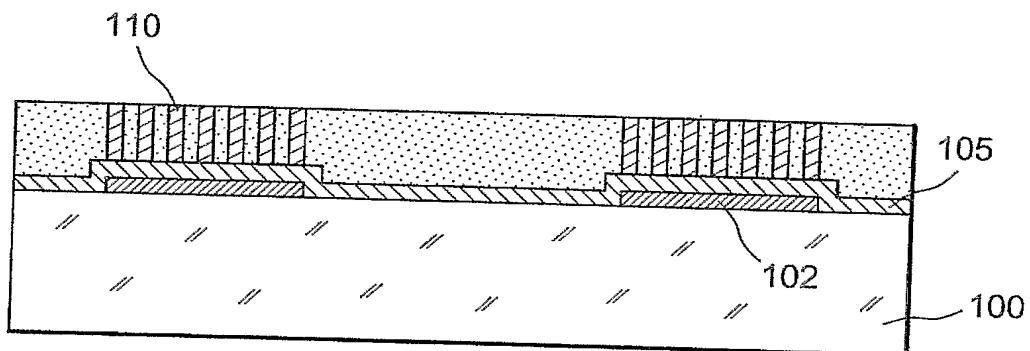


FIG. 2D

3 / 7

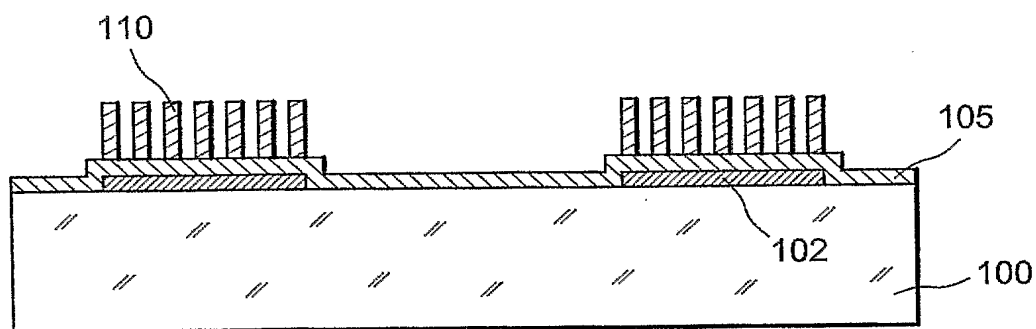


FIG. 2E

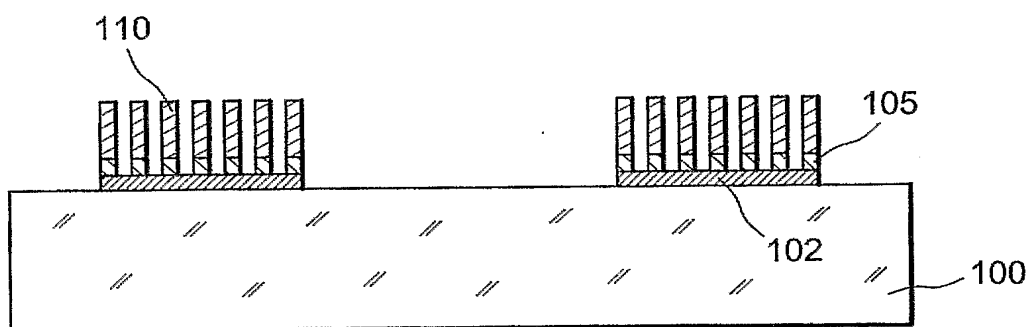


FIG. 2F

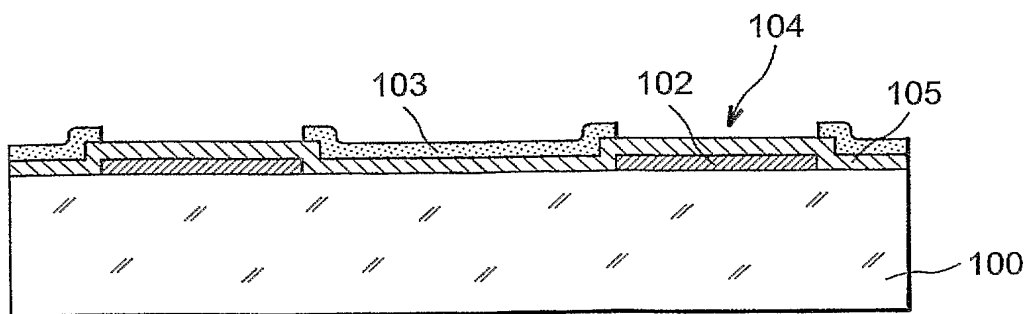


FIG. 3A

4 / 7

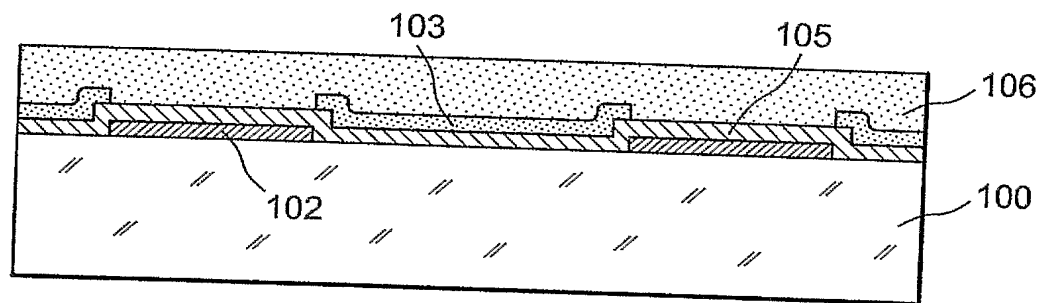


FIG. 3B

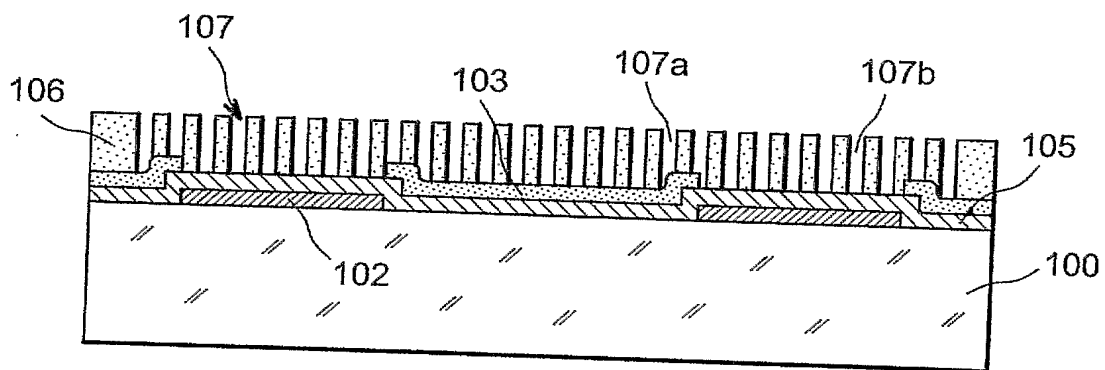


FIG. 3C

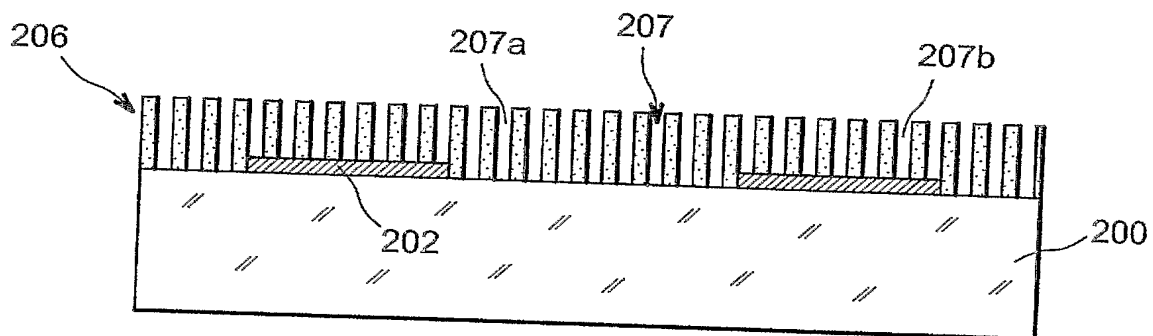


FIG. 4A

5 / 7

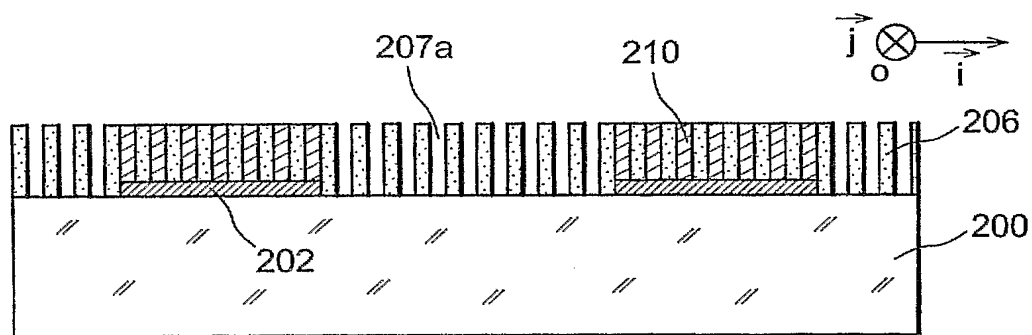


FIG. 4B

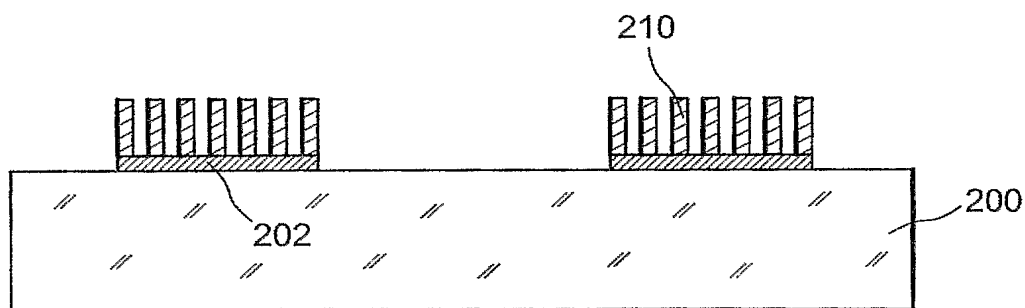


FIG. 4C

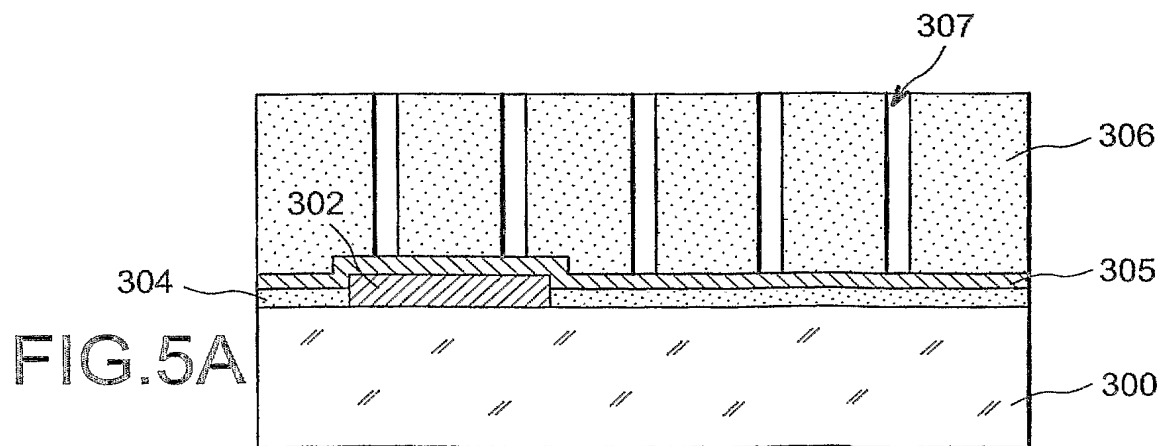
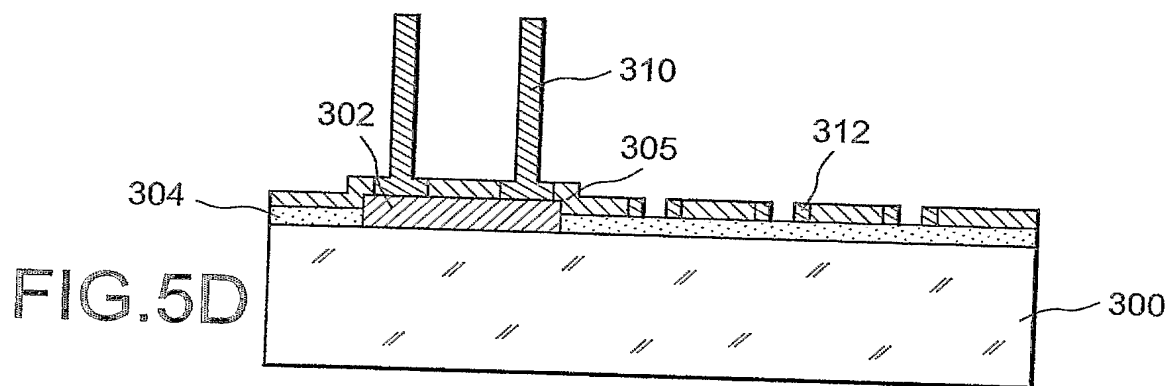
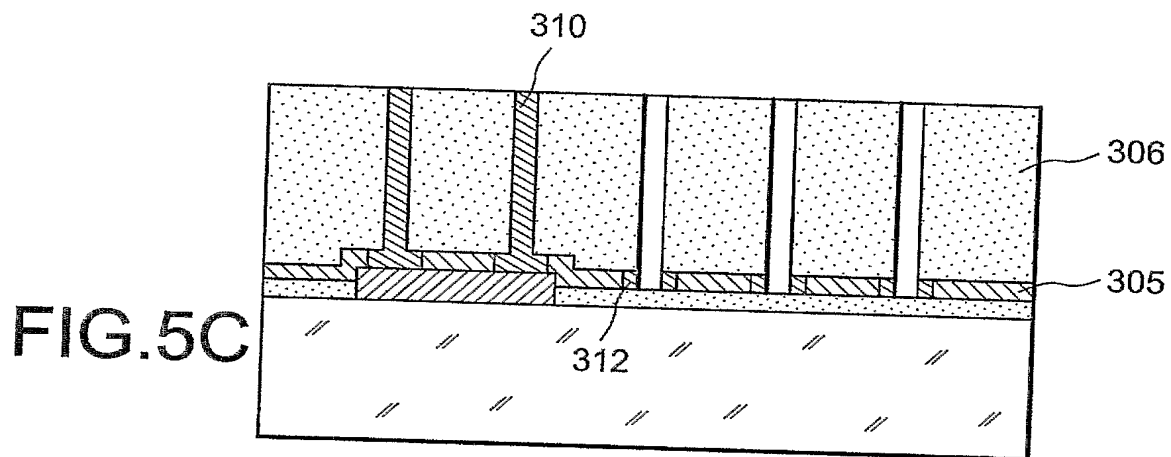
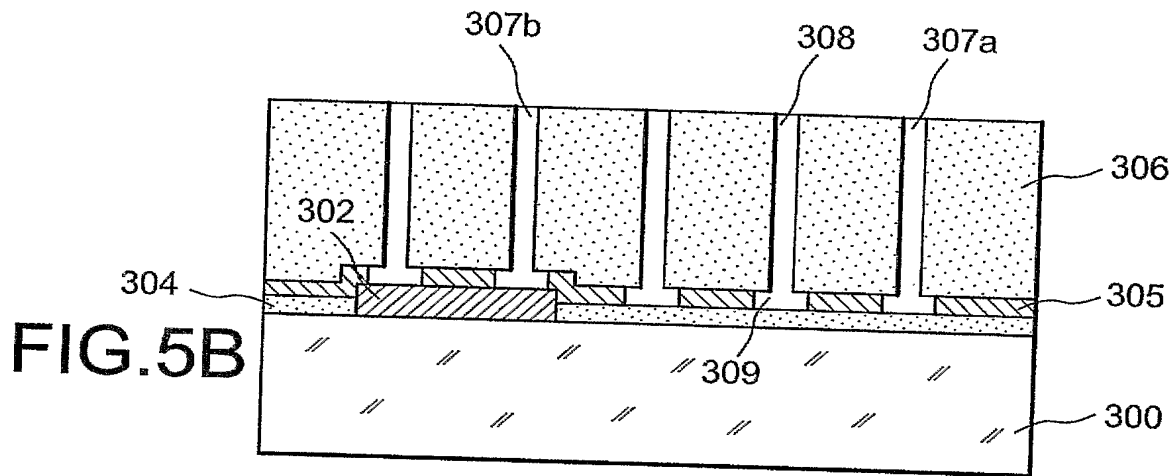


FIG. 5A

6 / 7



7 / 7

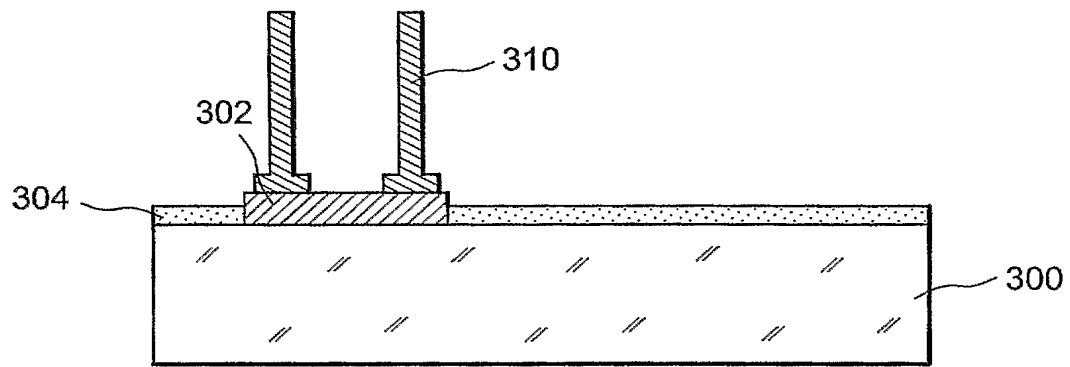


FIG. 5E

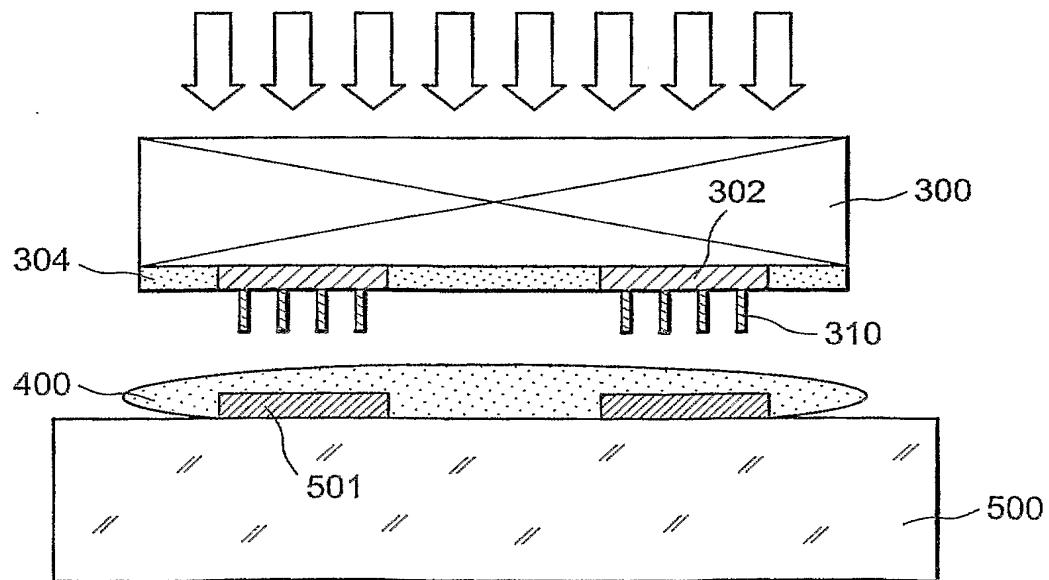


FIG. 6



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11235*03

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1../1..

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 @ W / 270601

Vos références pour ce dossier (facultatif)		B 14726.3/ALP DD2725
N° D'ENREGISTREMENT NATIONAL		04.50349 DU 25.02.2004
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
DISPOSITIF MICROELECTRONIQUE D'INTERCONNEXION A TIGES CONDUCTRICES LOCALISEES.		
LE(S) DEMANDEUR(S) :		
COMMISSARIAT A L'ENERGIE ATOMIQUE 31-33 rue de la Fédération 75752 PARIS 15 ème.		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	BRUN
	Prénoms	Jean
Adresse	Rue	13 domaine de Rochagnon
	Code postal et ville	13 181 010 CHAMPAGNIER
Société d'appartenance (facultatif)		
2	Nom	FRANIATTE
	Prénoms	Rémi
Adresse	Rue	6 rue Marx Dormoy
	Code postal et ville	13 181 010 GRENOBLE
Société d'appartenance (facultatif)		
3	Nom	PUGET
	Prénoms	Christiane
Adresse	Rue	42 route de Grenoble
	Code postal et ville	13 181 120 SAINT-EGREVE
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		
PARIS LE 09 MARS 2004 J. LEHU		

PCFR005-50123

